

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-84260

(43)公開日 平成10年(1998) 3月31日

(51)Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/08			H 0 3 K 5/08	E
H 0 1 L 27/04			H 0 3 F 3/45	Z
21/822			H 0 3 M 1/34	
H 0 3 F 3/45			H 0 1 L 27/04	U
// H 0 3 M 1/34				

審査請求 有 請求項の数8 F D (全 7 頁)

(21)出願番号 特願平8-257761

(22)出願日 平成8年(1996) 9月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西田 芳雄

東京都港区芝五丁目7番1号 日本電気株式会社内

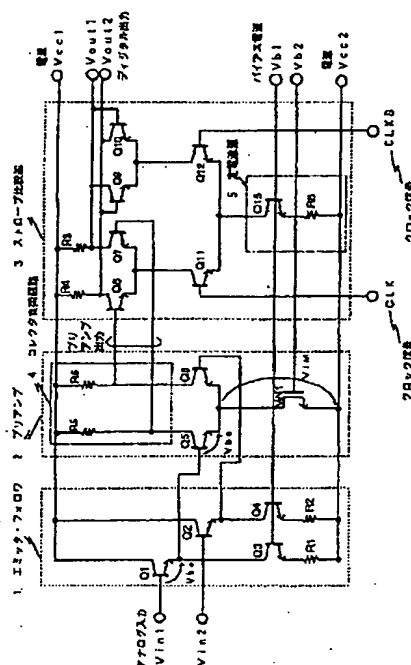
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 比較回路

(57)【要約】

【課題】低電圧レベルの微少なアナログ入力に対して高速クロック周波数で正常な比較結果を出力することを可能にする。

【解決手段】第1、第2のアナログ入力信号Vin1、Vin2をそれぞれ入力とするエミッタフォロワ1と、エミッタフォロワ回路の出力を差動入力とする差動対を備えたプリアンプ2と、相補クロック信号CLK、CLKBの制御のもとプリアンプ2の差動出力を入力としこれを差動増幅して出力端子Vout1、Vout2に出力し、ついでクロック信号の反転に応じて前記差動出力をラッチするストロープ回路3と、を、備え、プリアンプ2の差動対Q5、Q6の定電流源としてNチャネルMOSトランジスタMN1を備える。



## 【特許請求の範囲】

【請求項1】比較されるアナログ入力信号をそれぞれ入力とするエミッタ・フォロウの出力を入力とする差動対を備えたプリアンプと、

クロック信号の制御のもと前記プリアンプの出力を入力としこれを増幅して出力端子に出力し、ついで前記クロック信号の反転に応じて出力レベルをラッチするように制御する回路と、を備えた比較回路において、

前記プリアンプの差動対の定電流源としてNチャネルMOSトランジスタを備えたことを特徴とする比較回路。 10

【請求項2】前記NチャネルMOSトランジスタが、そのW/L（チャネル幅/チャネル長）比が所定の値に設定されてなることを特徴とする請求項1記載の比較回路。

【請求項3】コレクタが第1電源に接続され、ベースがそれぞれ第1、第2のアナログ入力端子に接続された第1、第2のトランジスタと、

コレクタがそれぞれ第1、第2のトランジスタのエミッタに接続され、ベースが第1バイアス電源に接続され、エミッタがそれぞれ一端が第2電源に接続された第1、第2の抵抗の他端に接続された第3、第4のトランジスタと、を備えてなるエミッタ・フォロウ回路と、

前記プリアンプは、第1電源に接続され、第1、第2のプリアンプ出力を有したコレクタ負荷回路と、

コレクタが該負荷回路に接続され、ベースがそれぞれ前記エミッタ・フォロウ回路の第1、第2のトランジスタのエミッタに接続され、エミッタが共通接続された第5、第6のバイポーラ・トランジスタと、

ドレインが該第5、第6のトランジスタの共通接続されたエミッタに接続され、ゲートが第2バイアス電源に接続され、ソースが第2電源に接続されたNチャネルMOSトランジスタと、を備えてなるプリアンプと、 30

コレクタが、それぞれ一端が第1電源に接続された第3、第4の抵抗の他端に接続されるときに第1、第2のデジタル出力端子に接続され、ベースがそれぞれ前記第1、第2のプリアンプ出力に接続され、エミッタが共通接続された第7、第8のトランジスタと、

コレクタがそれぞれ第1、第2のデジタル出力端子に接続され、ベースがそれぞれ第2、第1のデジタル出力端子に接続され、エミッタが共通接続された第9、第10のトランジスタと、 40

コレクタがそれぞれ前記第7、第8のトランジスタのエミッタと前記第9、第10のトランジスタのエミッタに接続され、ベースがそれぞれ第1、第2のクロック信号端子に接続され、エミッタが共通接続された第11、第12のトランジスタと、

該第11、第12のトランジスタのエミッタと第2電源間に接続された定電流源と、を備えなるストロープ比較回路と、

を備えたことを特徴とする比較回路。

【請求項4】前記プリアンプのNチャネルMOSトランジスタは、そのW/L（チャネル幅/チャネル長）比が略50～100とされたことを特徴とする請求項1又は3記載の比較回路。

【請求項5】前記プリアンプのコレクタ負荷回路が、一端が第1電源に接続され、他端がそれぞれ前記第5、第6のトランジスタのコレクタに接続されるときに、第1、第2のプリアンプ出力に接続される2つの抵抗により構成されることを特徴とする請求項3または4記載の比較回路。

【請求項6】前記プリアンプのコレクタ負荷回路が、3つの抵抗と2つのトランジスタにより構成され、前記2つのトランジスタは、コレクタがそれぞれ一端が第1電源に接続された2つの抵抗の他端に接続されるときに、第1、第2のプリアンプ出力に接続され、ベースは一端が第1電源に接続された抵抗の他端に共通接続され、エミッタは第5、第6のトランジスタのコレクタに接続される、ことを特徴とする請求項3または4記載の比較回路。

【請求項7】前記ストロープ比較器の定電流源が、ドレインが、前記第11、第12のトランジスタの共通接続されたエミッタに接続され、ゲートが第3バイアス電源に接続され、ソースが第2電源に接続されたNチャネルMOSトランジスタにより形成されることを特徴とする請求項5又は6記載の比較回路。

【請求項8】前記ストロープ比較器の定電流源が、抵抗とバイポーラトランジスタにより形成され、

該NPNトランジスタのコレクタは、前記第11、第12のトランジスタのエミッタに接続され、ベースは第1バイアス電源に接続され、エミッタは一端が第2電源に接続された抵抗の他端に接続されることを特徴とする請求項4又は5記載の比較回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、比較回路に関し、特に、低電源電圧・高速アナログ・デジタル変換器（「A/D変換器」という）等に用いて好適とされる比較回路に関する。

【0002】

【従来の技術】従来、高速・高精度なA/D変換器を実現する変換方式として、全並列型や直並列型が一般に用いられている。この種の変換方式では、アナログ信号をデジタルコードに変換するために、高速且つ高入力精度の比較回路が必要不可欠とされている。

【0003】この種の従来の比較回路は、例えば、文献1（電子情報通信学会技報 IC D91-85）や文献2（IEEE 1987 ISSCC Digest of technical papers pp. 98-99）等に記載されるように、主として、エミッタ・フォロウと、プリアンプ、およびストロープ比較器を備え

て構成されている。図3に、この種の従来の比較回路の回路構成を示す。

【0004】すなわち、図3を参照して、この従来の比較回路は、アナログ入力信号を入力とするエミッタ・フォロワ1と、エミッタ・フォロワ1の出力を差動入力とするブリアンプ2と、ブリアンプ2の差動出力を入力するストロープ比較器3と、を備え、エミッタ・フォロワ1は、アナログ入力電圧 $V_{in1}$ 、 $V_{in2}$ がベースに

入力され、コレクタが電源 $V_{cc1}$ に接続されたトランジスタ $Q1$ 、 $Q2$ と、ベースにバイアス電源電圧 $V_{b1}$ が与えられ、エミッタに抵抗 $R1$ 、 $R2$ の一端が接続されたトランジスタ $Q3$ 、 $Q4$ と、を備えて構成されている。

【0005】また、ブリアンプ2は、ベースがトランジスタ $Q1$ 、 $Q2$ のエミッタにそれぞれ接続され、コレクタがコレクタ負荷回路4を構成する抵抗 $R5$ 、 $R6$ の一端にそれぞれ接続され、エミッタが共通接続されたトランジスタ $Q5$ 、 $Q6$ と、ベースにバイアス電源電圧 $V_{b1}$ が与えられ、コレクタがトランジスタ $Q5$ 、 $Q6$ の共通接続されたエミッタに接続され、エミッタが抵抗 $R9$ の一端に接続されたトランジスタ $Q16$ と、を備えて構成されている。

【0006】そして、ストロープ比較器3は、ベースがブリアンプ2の出力（トランジスタ $Q5$ 、 $Q6$ と負荷抵抗 $R5$ 、 $R6$ のそれぞれの接続点）に接続され、コレクタが抵抗 $R3$ 、 $R4$ の一端にそれぞれ接続され、エミッタが共通接続されたトランジスタ $Q7$ 、 $Q8$ と、コレクタがそれぞれ抵抗 $R3$ 、 $R4$ の一端に接続され、ベースがそれぞれ抵抗 $R4$ 、 $R3$ の一端に接続され、エミッタが共通接続されたトランジスタ $Q9$ 、 $Q10$ と、ベースにそれぞれ第1、第2クロック信号 $CLK$ 、 $CLKB$ が印加され、コレクタがそれぞれトランジスタ $Q8$ 、 $Q9$ の共通エミッタ、トランジスタ $Q9$ 、 $Q10$ の共通エミッタに接続され、エミッタが共通接続されたトランジスタ $Q11$ 、 $Q12$ と、ベースにバイアス電源電圧 $V_{b1}$ が与えられ、エミッタに抵抗 $R8$ の一端が接続されたトランジスタ $Q15$ により形成された定電流源5と、を備えて構成されている。

【0007】図3の比較回路を構成している各回路部について説明する。

【0008】エミッタ・フォロワ1は、入力信号歪みが小さくなるよう比較回路の入力電流を一定に保ち、またキックバック雑音の入力信号への回り込みを小さくしている。

【0009】ブリアンプ2は、微少なアナログ入力電圧を増幅し、変換エラーの低減と高速動作を可能としている。

【0010】また、ストロープ比較器3は、互いに相補な第1、第2のクロック信号 $CLK$ 、 $CLKB$ の制御により、比較回路の出力 $V_{out1}$ 、 $V_{out2}$ をディ

タル信号レベルまで増幅している。

【0011】したがって、エミッタ・フォロワ1、ブリアンプ2、ストロープ比較器3により構成される比較回路により、高速クロック動作で、微少なアナログ入力を比較し、その結果をデジタルレベルまで増幅できる。

【0012】次に、図3に示した従来の比較回路の動作を、図4に示す信号波形図を参照して簡単に説明する。図4には、アナログ入力信号電圧 $V_{in1}$ 、 $V_{in2}$ （図4（A））、出力電圧 $V_{out1}$ 、 $V_{out2}$ （図4（B））、互いに相補な第1、第2のクロック信号 $CLK$ 、 $CLKB$ （図4（C））のタイミング信号波形が示されている。

【0013】図3に示した従来の比較器は、正相クロック信号 $CLK$ が高レベル（ $CLKB$ は低レベル）の時、2つのアナログ入力 $V_{in1}$ と $V_{in2}$ とを比較し、出力が入力に追従する（フォロウ・モード）。すなわち、正相クロック信号 $CLK$ が高レベルの時トランジスタ $Q11$ が導通し（トランジスタ $Q12$ は非導通）、ブリアンプ2の出力を入力とするトランジスタ $Q7$ 、 $Q8$ からなる差動対の出力がデジタル出力 $V_{out1}$ 、 $V_{out2}$ に伝達される。

【0014】一方、逆相クロック信号 $CLKB$ が高レベルの時、クロック信号が切り変わった瞬間の出力をデジタル・レベルまで再増幅する（ラッチ・モード）。すなわち、逆相クロック信号 $CLKB$ が高レベルの時、ストロープ比較器3において、トランジスタ $Q12$ が導通（トランジスタ $Q11$ は非導通）し、トランジスタ $Q9$ 、 $Q10$ からなる差動対は、トランジスタ $Q8$ 、 $Q7$ からなる差動対の出力（従って、 $V_{out2}$ 、 $V_{out1}$ ）をベース入力としクロックが切り替わった時点の出力をラッチする。

【0015】図4に示すように、微少な差電圧（0.5mV）のアナログ入力を比較し、その結果を増幅し、デジタル出力まで伝達している。

【0016】

【発明が解決しようとする課題】しかしながら、上記した従来の比較回路においては、低電圧レベルのアナログ入力を正常に比較できない、という問題点を有している。この問題点を、図3に示した回路構成図、及び図5に示した信号波形図を参照して以下に説明する。

【0017】図3を参照すると、従来の比較回路において、 $V_{be}$ はバイポーラ・トランジスタのベース・エミッタ間電圧であり、 $V_{Ib}$ はバイポーラトランジスタで構成されるブリアンプ2の定電流源に要する電圧であり、次式（1）、（2）と表される。

$$V_{be} \approx 0.8V \quad \cdots (1)$$

$$V_{Ib} \geq 0.6V \quad \cdots (2)$$

【0019】 $V_{Ib}$ は、定電流源として作用するトランジスタ $Q16$ が飽和しないために必要とされるコレクタ・エミッタ電圧を含む。従って、従来の比較回路におい

ては、その回路構成上、アナログ入力電圧 $V_{in1}$ 、 $V_{in2}$ は、およそ次式(3)の条件を満たす必要がある。

【0020】 $V_{in1}$ 、 $V_{in2} \geq 2 \cdot 2V \dots (3)$

【0021】そして、上式(1)が満たされない場合、すなわち上式(3)が満たされない低いアナログ電圧が入力された場合には、トランジスタ $Q16$ が飽和してしまい、プリアンプ2の動作電流が一定でなくなる。

【0022】このため、図5に示すように、図3に示した従来の比較回路に、アナログ入力 $V_{in1}$ 、 $V_{in2}$ として1.8V付近の微小差電圧が入力された場合(図5(A)参照)には、比較回路の出力 $V_{out1}$ 、 $V_{out2}$ (図5(B)参照)はアナログ入力に対応しない結果となる。

【0023】したがって、本発明は、上記事情に鑑みてなされたものであって、その目的は、低電圧レベルの微小なアナログ入力に対して高速クロック周波数で正常な比較結果を出力することを可能にする比較回路を提供することにある。

【0024】

【課題を解決するための手段】前記目的を達成するため、本発明の比較回路は、比較されるアナログ入力信号をそれぞれ入力とするエミッタ・フォロワの出力を入力とする差動対を備えたプリアンプと、クロック信号の制御のもと前記プリアンプの出力を入力としこれを増幅して出力端子に出力し、ついで前記クロック信号の反転に応じて出力レベルをラッチするように制御する回路と、を備えた比較回路において、前記プリアンプの差動対の定電流源としてNチャネルMOSトランジスタを備えたことを特徴とする。

【0025】本発明においては、前記NチャネルMOSトランジスタが、その $W/L$ (チャネル幅/チャネル長)比が所定の値に設定される。

【0026】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明に係る比較回路は、その好ましい実施の形態において、図1を参照すると、エミッタ・フォロワ1、プリアンプ2、ストロープ比較器3と、を備え、エミッタ・フォロワ1は、コレクタが第1電源に接続され、ベースがそれぞれ第1、第2のアナログ入力端子に接続された第1、第2のトランジスタ $Q1$ 、 $Q2$ と、コレクタがそれぞれ第1、第2のトランジスタ $Q1$ 、 $Q2$ のエミッタに接続され、ベースが第1バイアス電源 $V_{b1}$ に接続され、エミッタがそれぞれ一端が第2電源 $V_{cc2}$ に接続された第1、第2の抵抗 $R1$ 、 $R2$ の他端に接続された第3、第4のトランジスタ $Q3$ 、 $Q4$ と、を備える。

【0027】また、プリアンプ2は、第1電源 $V_{cc1}$ に接続され、第1、第2のプリアンプ出力を有したコレクタ負荷回路4と、コレクタがコレクタ負荷回路4に接

続され、ベースがそれぞれエミッタ・フォロワ回路の第1、第2のトランジスタ $Q1$ 、 $Q2$ のエミッタに接続され、エミッタが共通接続された第5、第6のバイポーラ・トランジスタ $Q5$ 、 $Q6$ と、ドレインが第5、第6のトランジスタ $Q5$ 、 $Q6$ の共通接続されたエミッタに接続され、ゲートが第2バイアス電源 $V_{b2}$ に接続され、ソースが第2電源 $V_{cc2}$ に接続されたNチャネルMOSトランジスタ $MN1$ と、を備えて構成される。

【0028】ストロープ比較器3は、コレクタが、それぞれ一端が第1電源 $V_{cc1}$ に接続された第4、第3の抵抗 $R4$ 、 $R3$ の他端に接続されるとともに第1、第2のデジタル出力端子 $V_{out1}$ 、 $V_{out2}$ に接続され、ベースがそれぞれ第1、第2のプリアンプ出力に接続され、エミッタが共通接続された第7、第8のトランジスタ $Q7$ 、 $Q8$ と、コレクタがそれぞれ第1、第2のデジタル出力端子 $V_{out1}$ 、 $V_{out2}$ に接続され、ベースがそれぞれ第2、第1のデジタル出力端子 $V_{out2}$ 、 $V_{out1}$ に接続され、エミッタが共通接続された第9、第10のトランジスタ $Q9$ 、 $Q10$ と、コレクタがそれぞれ第7、第8のトランジスタのエミッタと第9、第10のトランジスタのエミッタに接続され、ベースがそれぞれ第1、第2のクロック信号端子 $CLK$ 、 $CLKB$ に接続され、エミッタが共通接続された第11、第12のトランジスタ $Q11$ 、 $Q12$ と、第11、第12のトランジスタ $Q11$ 、 $Q12$ のエミッタと第2電源 $V_{cc2}$ 間に接続された定電流源と、を備えて構成される。

【0029】本発明の実施の形態においては、プリアンプ2のNチャネルMOSトランジスタは、その $W/L$ (チャネル幅/チャネル長)比は、好ましくは略50~100とされる。

【0030】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例に係る比較回路の構成を示す図である。

【0031】図1を参照して、本実施例に係る比較回路は、アナログ入力信号を入力とするエミッタ・フォロワ1と、エミッタ・フォロワ1の出力を差動入力とするプリアンプ2と、プリアンプ2の差動出力を入力するストロープ比較器3と、を備え、エミッタ・フォロワ1は、アナログ入力電圧 $V_{in1}$ 、 $V_{in2}$ がベースに入力され、コレクタが電源 $V_{cc1}$ に接続されたNPNトランジスタ $Q1$ 、 $Q2$ と、ベースにバイアス電源電圧 $V_{b1}$ が与えられ、エミッタに抵抗 $R1$ 、 $R2$ の一端が接続されたNPNトランジスタ $Q3$ 、 $Q4$ により構成されている。

【0032】また、プリアンプ2は、ベースが、NPNトランジスタ $Q1$ 、 $Q2$ のエミッタにそれぞれ接続され、コレクタがコレクタ負荷回路を構成する抵抗 $R5$ 、

R6の一端にそれぞれ接続され、エミッタが共通接続され差動対を構成するNPNトランジスタQ5、Q6と、ゲートにバイアス電源電圧Vb2が与えられ、ドレインがNPNトランジスタQ5、Q6の共通エミッタに接続され、ソースが電源Vcc2に接続されてなるNチャンネルMOSトランジスタMN1と、を備えて構成されている。

【0033】そして、ストロープ比較器3は、ベースがブリアンプの差動出力にそれぞれ接続され、コレクタが電源Vcc1に接続された抵抗R3、R4の一端にそれぞれ接続され、エミッタが共通接続されたNPNトランジスタQ7、Q8と、コレクタがそれぞれ抵抗R3、R4の一端に接続され、ベースがそれぞれ抵抗R4、R3の一端に接続され、エミッタが共通接続されたQ9、Q10と、ベースにそれぞれ第1、第2クロック信号CLK、CLKBが印加され、コレクタがそれぞれNPNトランジスタQ8、Q9の共通エミッタ、NPNトランジスタQ9、Q10の共通エミッタに接続され、エミッタが共通接続されたNPNトランジスタQ11、Q12と、ベースにバイアス電源電圧Vb1が与えられ、エミッタに抵抗R8の一端が接続されたQ15により形成された定電流源5と、を備えて構成されている。

【0034】次に、図1を参照して、本発明の実施例に係る比較回路の特徴を説明する。図1の比較回路において、Vbeはバイポーラ・トランジスタのベース・エミッタ間電圧であり、VIMはMOSFETで構成されるブリアンプ2の定電流源に要する電圧である。定電流源トランジスタMN1に、W/L比（チャンネル幅/チャンネル長比）の大きなNMOSFETを用いることで、低いドレイン・ソース電圧でも飽和状態を保つことができる。

【0035】このため、本実施例においては、例えば  $VIM < 0.8V$  …(4)

とすることができ、アナログ入力電圧を  $Vin1, Vin2 < 2.2V$  …(5) にまで低減することが可能である。

【0036】プロセスにも依存するが、例えば50~100の大きなW/L比のMOSFETを用いることで、VIMを0.2V程度まで低減することができ、本実施例においては、例えば1.8V付近の微少差電圧が入力された場合でも、上記した従来の比較回路（図3参照）と異なり、ブリアンプ2の動作電流を一定に保ち、図5（C）に示すように、比較回路出力Vout1、Vout2としてアナログ入力に対応した正常な比較結果を出力をする。

【0037】また、ストロープ比較器3の定電流源トランジスタQ15の代わりに、ゲートの所定のバイアス電圧が印加されるNチャンネルMOSトランジスタで構成するようにしてもよい。

【0038】図1に示した上記実施例では、コレクタ負

荷回路4は2つの抵抗R5、R6により構成された例を示したが、別の実施例においては、図2に示すように、このコレクタ負荷回路4として、広帯域入力を可能にするために、ベアのカスコード接続トランジスタと、3つの抵抗により構成してもよい。

【0039】すなわち、図2を参照して、ブリアンプ2のコレクタ負荷回路4は、3つの抵抗R5、R6、R7と、2つのトランジスタQ13、Q14により構成され、2つのトランジスタQ13、Q14は、コレクタが、それぞれ一端が電源Vcc1に接続された2つの抵抗R5、R6の他端に接続されるときに、第1、第2のブリアンプ出力に接続され、ベースは、一端が電源Vcc1に接続された抵抗R7の他端に共通接続され、エミッタは第5、第6のトランジスタQ5、Q6のコレクタにそれぞれ接続されている。

【0040】図2に示した実施例における、比較回路のアナログ入力の下限は、図1に示した上記実施例と同様であるため、構成、動作の説明については省略する。

【0041】

【発明の効果】以上説明したように、本発明に係る比較回路よれば、ブリアンプの定電流源をW/L比の大きなMOSFETにて構成したことにより、低電圧レベルの微少なアナログ入力に対して高速クロック周波数で正常な比較結果を出力できる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の回路構成を示す図である。

【図2】本発明の他の実施例の回路構成を示す図である。

【図3】従来の比較回路の回路構成を示す図である。

【図4】従来の比較回路の動作波形を示す図である。

【図5】従来の回路と、本発明の一実施例との動作波形とを比較して示す図である。

【符号の説明】

1 エミッタ・フォロワ

2 ブリアンプ

3 ストロープ比較器

4 コレクタ負荷回路

5 定電流源

CLK 第1クロック信号

CLKB 第2クロック信号

MN1 N型MOSトランジスタ

Q1~Q16 npnバイポーラ・トランジスタ

R1~R7 抵抗

Vb1、Vb2 バイアス電源電圧端子

Vbe ベース・エミッタ間電圧

Vcc1、Vcc2 電源電圧端子

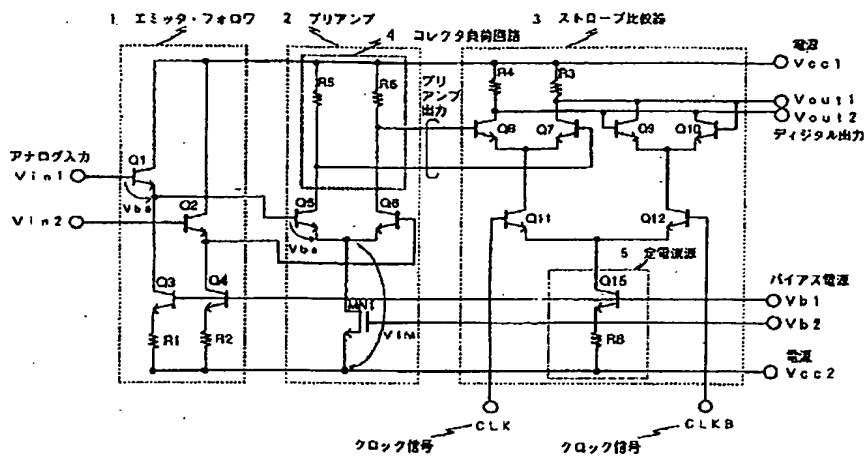
Vin1、Vin2 アナログ入力電圧

Vout1、Vout2 デジタル出力電圧

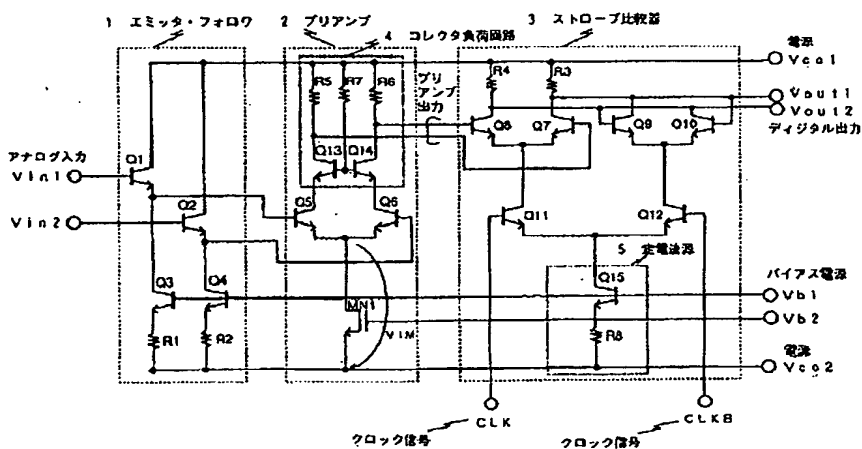
Vib バイポーラ・トランジスタにて構成した定電流源に要する電圧

VIM MOSトランジスタにて構成した定電流源に要\* \*する電圧

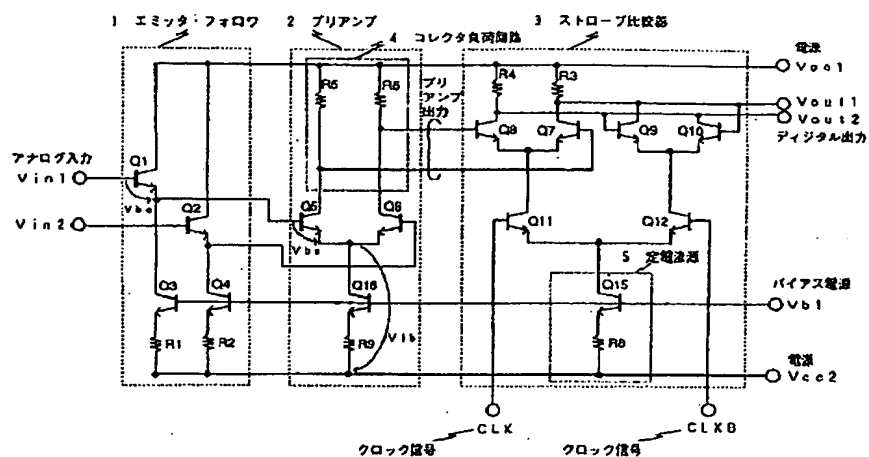
【図1】



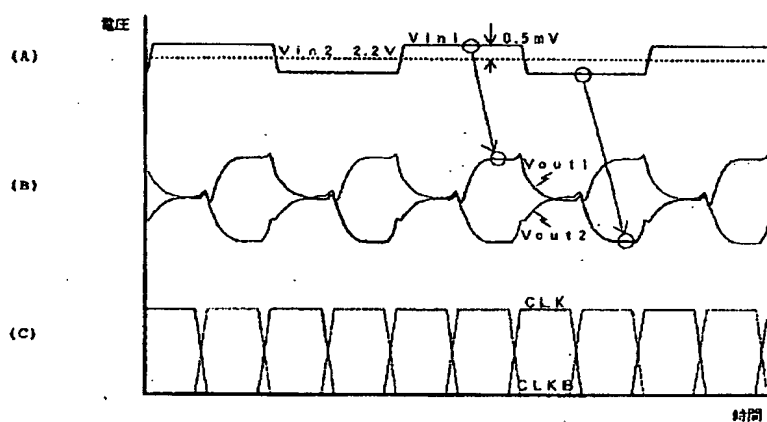
【図2】



【図3】



【図4】



【図5】

